



PATENT

Customer No. 31561
Attorney Docket No.: 08219-US-PA

2824

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Hsiang-I Huang ✓

Application No. : 10/064,395 ✓

Filed : 2002/7/10

For : PROGRAMMABLE MEMORY CONTROLLER AND
CONTROLLING METHOD

Examiner :

2824
10/18/02

ASSISTANT COMMISSIONER FOR PATENTS

Washington, D.C. 20231

RECEIVED
SEP 23 2002
TECHNOLOGY CENTER 2800

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.: 90128663,
filed on: 2001/11/20.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: Sept 17, 2002

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

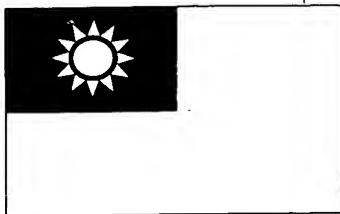
Please send future correspondence to:

7F.-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2001 年 11 月 20 日
Application Date

申請案號：090128663
Application No.

申請人：威盛電子股份有限公司
Applicant(s)

局 長

Director General

陳 明 邦

發文日期：西元 2002 年 7 月 23 日
Issue Date

發文字號：09111013821
Serial No.

TECHNOLOGY CENTER 2800

SEP 23 2002

RECEIVED

申請日期	
案 號	
類 別	

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 新型名稱	中 文	可程式化之記憶體控制器與操作方法
	英 文	
二、發明 創作人	姓 名	黃祥毅
	國 籍	中華民國
	住、居所	台北縣新店市中正路 533 號 8 樓
三、申請人	姓 名 (名稱)	威盛電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	台北縣新店市中正路 533 號 8 樓
	代 表 人 姓 名	王雪紅

裝

訂

線

四、中文發明摘要(發明之名稱： 可程式化之記憶體控制器與操作方法)

一種可程式化之記憶體控制器，其有：記憶體主控裝置、命令解碼裝置、週期設定裝置、命令排序裝置、命令信號輸出裝置。其中，可程式化之記憶體控制器對一記憶體之資料作存取時，記憶體主控裝置送出一請求信號。命令解碼裝置接收請求信號並進行解碼，用以產生複數個命令信號。週期設定裝置接收一控制信號並進行解碼，用以產生一週期設定信號，其中該控制信號係用以控制命令信號的維持時間。命令排序裝置接收命令信號以及週期設定信號，以對命令信號進行排序。命令信號輸出裝置接收已排序之命令信號以及週期設定信號，用以依據該週期設定信號之指示，以在該維持時間中控制該些已排序之命令信號以輸出至該記憶體。

英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(1)

本發明是有關於一種記憶體驅動電路，且特別是有關於一種可控制記憶體位址位址及命令驅動控制電路。

目前個人電腦（以下簡稱 PC）系統中，對於記憶體控制的方式，係為回應於其系統中之記憶體控制晶片所送出之一個觸發信號，也就是晶片選取(Chip Select, CS)信號之下降緣來作為記憶體控制的起始，再藉由此記憶體控制晶片所送出之命令信號，並配合亦是記憶體控制晶片所送出之記憶體位址信號來決定對記憶體的控制動作，例如讀取記憶體的某一位址或是寫入記憶體的某一位址等...。不過記憶體本身就是用來儲存資料並加以讀取，因此 PC 中之記憶體控制晶片所送出之信號中，負荷量最大的也是命令信號以及記憶體位址信號。一般而言，對記憶體作資料存取時，記憶體控制晶片是同時將 CS 信號送至同一記憶體模組中的每個記憶體中，而命令信號之傳送卻是先送到一個離記憶體控制晶片較近的記憶體，再送至一個較遠的記憶體中，以此類推。因此，對於較近的記憶體來說，當 CS 信號之下降緣來觸發此較近記憶體讀取此命令信號時，此較近的記憶體較容易讀取到與 CS 信號相同的時序下之命令信號。但對較遠的記憶體來說，因為命令信號傳送距離的關係，當 CS 信號之下降緣觸發此較遠的記憶體去讀取此命令信號時，由於命令信號可能不穩定且產生飄移之現象，而使此較遠的記憶體可能無法讀取到與 CS 信號相同的時序下之命令信號，進而導致此較遠的記憶體產生誤動作。因此，對應於主機板中記憶體裝置線路的佈

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(一)

局，就必須考慮到記憶體控制晶片推動命令信號以及記憶體位址信號的能力。也就是要考慮到命令信號週期維持時間、以及控制晶片拉線到記憶體間距離的長短。

由於此 CS 信號之週期維持時間為熟悉此技藝者所能了解的 1T 週期時間，因此習知的作法為將命令信號以 2T 週期時間形式提前在此 CS 信號送出前送出。由於 2T 週期時間較長，因此即使在較長的傳送距離下，記憶體較能在接受 CS 信號的觸發時，讀取到與 CS 信號相同時序下之此命令信號。

但就市面主要的兩種記憶體，動態隨機存取記憶體(synchronous dynamic random access memory，以下簡稱 SDRAM)以及雙倍資料速率同步動態隨機存取記憶體(double data rate synchronous dynamic random access memory，以下簡稱 DDR SDRAM)來看。其工作時脈都已達到 100MHz 以上。因此在此高速的情況下，SDRAM 與 DDR SDRAM 之記憶體存取指令的週期，也就是記憶體控制晶片送給記憶體之命令信號均使用 2T 週期時間，於是使得電腦系統的速度與效能大打折扣，尤以使用 DDR SDRAM 之電腦系統影響較大。

有鑑於此，本發明提出一種記憶體位址驅動結構可依不同的情況，提供 1T 週期時間或是 2T 週期時間的命令信號給記憶體，除了可大幅提升電腦系統對於記憶體資料之存取效能外，又可兼顧系統之穩定性。

本發明提出一種可程式化之記憶體控制器，包括：記

五、發明說明(3)

憶體主控裝置、命令解碼裝置、週期設定裝置、命令排序裝置以及命令信號輸出裝置。其中，當可程式化之記憶體控制器對記憶體作資料存取時，記憶體主控裝置便送出一個請求信號。而命令解碼裝置接收此請求信號以解碼並輸出複數個命令信號。命令排序裝置則接收這些命令信號並接受週期設定裝置所輸出之週期設定信號來排序這些命令信號並加以輸出之。最後，命令信號輸出裝置依序接收這些已排序過之命令信號，且依據週期設定裝置所輸出之週期設定信號，來控制這些已排序之命令信號週期於輸出至記憶體時之維持時間。

本發明所提出之使用可程式化之記憶體控制器之記憶體存取結構，係以複數個命令信號對記憶體作資料存取之控制，其結構主要包括：控制晶片組以及記憶體插槽。其中，控制晶片組內建有可程式化之記憶體控制器，當控制晶片組對記憶體作資料存取時，此控制晶片組控制內建之可程式化之記憶體控制器輸出這些命令信號週期時之維持時間。而記憶體插槽則接收這些命令信號以輸出至記憶體。

在本發明較佳實施例中，這些命令信號週期之維持時間可依這些命令信號之傳送距離來決定其週期之維持時間。而這些命令信號之傳送距離，係與控制晶片組與記憶體插槽腳位間之佈線距離相關。

因此，根據這些命令信號之傳送距離，其可以有兩種不同的週期維持時間。如第一週期時間(1T)或是第二週

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明(4)

期時間(2T)。且通常以一個預定距離作為此第一週期時間以及此第二週期時間之使用依據。例如，當傳送距離低於此預定距離時，使用第一週期時間作為其週期維持時間，傳送距離高於此預定距離時，使用第二週期時間作為其週期維持時間。至於預定距離可以是記憶體插槽之腳位與控制晶片組間的佈線長度(Trace length)。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1 圖繪示的是根據本發明較佳實施例記憶體接收信號之時序示意圖；

第 2 圖繪示的是根據本發明之一較佳實施例之可程式化之記憶體控制器之電路方塊圖；

第 3A 圖繪示的是根據本發明之另一較佳實施例之使用可程式之記憶體控制器之記憶體存取結構之電路方塊圖；以及

第 3B 圖繪示的是根據本發明之又另一較佳實施例之另一較佳實施例之使用可程式之記憶體控制器之記憶體存取結構之電路方塊圖。

標號說明

210：記憶體主控裝置

220：命令解碼裝置

230：命令排序裝置

五、發明說明 (5)

240：週期設定裝置

250：命令信號輸出裝置

305，307，355，357：記憶體控制器

310，360：控制晶片組

320，330，340，350，370，380，390，395：記憶體插槽

較佳實施例

個人電腦系統對於記憶體的使用，通常是採取以主機板上之一個控制晶片組(例如北橋晶片)中之記憶體控制器以送出命令信號 (command signal，以下簡稱 CMD 信號) 以及記憶體位址信號 (memory address signal，以下簡稱 MA 信號)，來對記憶體作資料的存取。一般來說，當控制晶片組存取記憶體時，會使用其內建之記憶體控制器送出一個晶片選擇信號 (chip select signal，以下簡稱 CS 信號)、CMD 信號以及 MA 信號給記憶體，CS 信號用以選擇使用記憶體上的其中一個晶片以爲資料存取。記憶體並受此 CS 信號之下降緣觸發而去讀取在相同的時序下送至記憶體的命令信號，如列位址選擇信號 (row address select，簡稱 RAS 信號)、行位址選擇信號 (column address select，簡稱 CAS 信號) 以及寫入致能信號 (write enable，簡稱 WE 信號) 等....，以及 MA 信號以作爲位於此記憶體上之此晶片之資料存取。基於記憶體控制器拉線到記憶體的距離，往往會使得記憶體受 CS 信號之下降緣觸發時，讀取不到此 CMD 信號。

因此，針對 CS 信號 以及 CMD 信號，請參考第 1 圖，

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(6)

第 1 圖繪示的是根據本發明較佳實施例記憶體接收信號之時序示意圖。當記憶體接收到 CS 信號時，就會在 CS 信號下緣，也就是 a 到 b 的時間內，去讀取在相同時序下的 CMD 信號。因為 CMD 信號較 CS 信號從記憶體控制器到每個記憶體間的傳送距離並不相同，因此，在相同時序下（虛線部分），CMD 信號可能會向右飄移，也就是來不及抵達。對於較遠的記憶體而言，便必須使用較大週期維持時間（例如：二個時脈週期，簡稱 2T）之 CMD 信號提前較 CS 信號從記憶體控制器送出，以確使記憶體能在 CS 信號觸發時，能及時送至記憶體以供讀取。對於較近的記憶體而言，使用較小週期維持時間（一個時脈週期，簡稱 1T）之 CMD 信號與 CS 信號同時從記憶體控制器送出，即可在 CS 信號觸發記憶體時到達。

本發明主要就針對控制晶片組與每個記憶體間之距離，提供不同週期維持時間（1T 或 2T）之 CMD 信號，使得對於記憶體的存取能達到最有效率的分配。

請參考第 2 圖，其繪示的是根據本發明之一較佳實施例之可程式化之記憶體控制器電路方塊圖。此可程式化之記憶體控制晶片包括有：記憶體主控裝置 210、命令解碼裝置 220、命令排序裝置 230、命令信號輸出裝置 250 以及週期設定裝置 240。其中，當記憶體主控裝置 210 需要使用到插置於記憶體插槽 260 上之記憶體時，便會發出一個請求信號給命令解碼裝置 220。而命令解碼裝置 220 收到此請求信號後，便會將其請求信號解碼成複數個命令

（請先閱讀背面之注意事項再填寫本頁）

裝
訂
線

五、發明說明 (9)

信號以輸出至命令排序裝置 230 中。然後，命令排序裝置 230 便接受這些命令信號、以及由週期設定裝置 240 所輸出之週期設定信號，隨後根據此週期設定信號（設定這些命令信號週期維持時間之信號，也就是依照此所設定之週期維持時間）將這些命令信號加以排序後輸出。當這些已排序之命令信號依序輸入至命令信號輸出裝置 250 中時，命令信號輸出裝置 250 亦同時接收由週期設定裝置 240 所輸出之週期設定信號控制，隨後將命令排序裝置 230 所送達之排序後命令信號之週期維持時間，調整為此週期設定信號所設定這些命令信號之週期維持時間。應注意的是，週期設定信號設定命令信號週期所維持之時間，通常此週期維持時間可為 1T 週期時間或是 2T 週期時間。最後，這些經過排序且調整週期維持時間之命令信號由命令信號輸出裝置 250 送至記憶體中以供資料讀取之控制。

上述之控制信號可透過編寫程式碼、並將相關程式碼儲存在 BIOS 的方式來達成，而這些程式碼即包含命令信號於傳送至記憶體所需的維持時間（可為 1T 週期時間或是 2T 週期時間）。於是當請求信號發出時，可因應於記憶體插槽與控制晶片組間的佈線距離由 BIOS 調出相關程式碼，並將透過控制信號饋入週期設定裝置 240 進行解讀，用以控制命令信號週期所維持之時間。另一方面，命令解碼裝置 220、命令排序裝置 230、週期設定裝置 240、以及命令信號輸出裝置 250 可利用 DRAM 控制器 (DRAM controller) 中現成的電路來構築，習知技術者亦可依據實際

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

之需求加以變更、或另行構築電路以達成所需。

根據上述且就主機板中之控制晶片組與記憶體插槽之實際接法，可以一種較通用之具有四個記憶體插槽之主機板來說明，請同時參考第 3A 以及 3B 圖。在第 3A 圖中，此控制晶片組 310 具有兩個記憶體控制器 305 以及 307，其中，記憶體控制器 305 分別串接離控制晶片組 310 較近之記憶體插槽 320，330。而另一個記憶體控制器 307 則分別串接離控制晶片組 310 較遠之記憶體插槽 340，350。且記憶體控制器 305 所送至記憶體插槽 320，330 之命令信號之週期維持時間為 1T 週期時間，而記憶體記憶體控制器 307 所送記至憶體插槽 340，350 之命令信號之週期維持時間為 2T 週期時間。另一種接法，請參考第 3B 圖，控制晶片組 360 同樣也具有兩個記憶體控制器 355，357，其中，記憶體控制器 355 只串接離控制晶片組 360 較近之記憶體插槽 370。而另一個記憶體控制器 357 則分別串接離控制晶片組 360 較遠之記憶體插槽 380，390 以及 395。且記憶體控制器 355 所送至記憶體插槽 370 之命令信號之週期為 1T 週期，而記憶體記憶體控制器 357 所送記至憶體插槽 380，390 以及 395 之命令信號之週期維持時間為 2T 週期時間。事實上，在主機板中使用 1T 與 2T 之記憶體插槽數量可以依實際之應用而定。然而當記憶體插槽之腳位與控制晶片組 310 或 360 間的佈線長度(Trace length)小於 2500mils 時，可設定該記憶體使用 1T 週期命令信號，至於其他的佈線長度大於 2500mils 之記憶體則使用 2T 週期

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

命令信號。是以，習知技術者可依據實際之需求來設定各記憶體所接收命令信號的維持時間。

此外，因為使用 1T 週期維持時間之命令信號對記憶體作多筆資料存取控制所花的整體時間自然較使用 2T 週期維持時間之命令信號對記憶體作多筆資料存取控制所花的整體時間來的少。因此，使用 1T 週期維持時間之命令信號對於工作時脈較高之記憶體而言是較合適的，而使用 2T 週期維持時間之命令信號卻對於工作時脈較低之記憶體而言是較合適的。因此，若能使用較高工作時脈搭的記憶體，像是雙倍資料速率同步動態隨機存取記憶體(double data rate synchronous dynamic random access memory，以下簡稱 DDR SDRAM)插置於使用 1T 週期命令信號的記憶體插槽上，更較使用同步動態隨機存取記憶體(synchronous dynamic random access memory，以下簡稱 SDRAM)能將本發明之特徵加以凸顯。因此，在第 3A 圖以及第 3B 圖中，可將記憶體插槽 320、330 以及 370 設計為支援 DDR SDRAM 之記憶體插槽。而將記憶體插槽 340、350、380、390、395 設計為支援 SDRAM 之記憶體插槽，為最佳。以因應目前主機板使用之主記憶體多以 DDR SDRAM 與 SDRAM 並存的情況。

綜上所述，本發明提出一種可程式化之記憶體控制晶片，藉由週期設定裝置設定控制記憶體存取時之命令信號週期之維持時間(1T/2T)，並配合主機板上控制晶片組與記憶體插槽位置以選擇使用。使得電腦系統在存取記憶

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(10)

體時，能發揮其最大效能。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

1.一種可程式化之記憶體控制器，包括：

一記憶體主控裝置，用以當該可程式化之記憶體控制器對一記憶體之資料作存取時，由該記憶體主控裝置送出一請求信號；

一命令解碼裝置，用以解碼該請求信號以產生複數個命令信號；

一週期設定裝置，用以解碼一控制信號以產生一週期設定信號，其中該控制信號係用以控制該命令信號的維持時間；

一命令排序裝置，因應於該些命令信號以及該週期設定信號，用以排序且輸出該些命令信號；以及

一命令信號輸出裝置，命令信號輸出裝置接收該些已排序之命令信號以及該週期設定信號，用以依據該週期設定信號之指示，以在該維持時間中控制該些已排序之命令信號以輸出至該記憶體。

2.如申請專利範圍第1項所述之可程式化之記憶體控制器，其中該記憶體為一同步動態隨機存取記憶體(Synchronous Dynamic Random Access Memory, SDRAM)。

3.如申請專利範圍第1項所述之可程式化之記憶體控制器，其中該記憶體為一雙倍資料速率(Double Data Rate, DDR)之同步動態隨機存取記憶體。

4.如申請專利範圍第1項所述之可程式化之記憶體控制器，其中根據該些命令信號之一傳送距離來決定該維持時間。

六、申請專利範圍

5.如申請專利範圍第4項所述之可程式化之記憶體控制器，其中該傳送距離為包含該記憶體控制器之控制晶片組與安置該記憶體之記憶體插槽腳位間之佈線距離(Trace length)。

6.如申請專利範圍第4項所述之可程式化之記憶體控制器，其中該維持時間可為第一週期時間或第二週期時間，其中該第一週期時間係維持該命令信號一個時脈週期，且該第二週期時間係維持該命令信號二個時脈週期。

7.如申請專利範圍第6項所述之可程式化之記憶體控制器，其中該傳送距離低於一預定距離時，使用該第一週期時間作為該維持時間，該傳送距離高於該預定距離時，使用該第二週期時間作為該維持時間。

8.如申請專利範圍第7項所述之可程式化之記憶體控制器，其中該預定距離係2500mils。

9.一種使用可程式化之記憶體控制器之記憶體存取結構，該記憶體存取結構係為以複數個命令信號對一記憶體作資料存取之控制，其結構包括：

一控制晶片組，該控制晶片組內建該可程式化之記憶體控制器，且當該控制晶片組對該記憶體作資料存取時，該控制晶片組控制該可程式化之記憶體控制器所輸出之該些命令信號一維持時間；以及

一記憶體插槽，該記憶體插槽接收該些命令信號以輸出至該記憶體，其中該些命令信號係因應於一控制信號以決定該維持時間，且該維持時間係隨該記憶體控制器與該

六、申請專利範圍

記憶體插槽之距離相關。

10.如申請專利範圍第9項所述之使用可程式化之記憶體控制器之記憶體存取結構，其中該可程式化之記憶體控制器包括：

一記憶體主控裝置，當該控制晶片組對該記憶體作資料存取時，由該記憶體主控裝置送出一請求信號；

一命令解碼裝置，用以解碼該請求信號以解讀出該些命令信號；

一週期設定裝置，因應於該控制信號用以產生一週期設定信號，其中該控制信號係用以控制該命令信號的維持時間；

一命令排序裝置，因應於該些命令信號以及該週期設定信號，用以排序且產生該些命令信號；以及

一命令信號輸出裝置，命令信號輸出裝置因應於該些已排序之命令信號以及該週期設定信號，用以依據該週期設定信號之指示，以控制該些已排序之命令信號週期之該維持時間以輸出至該記憶體插槽。

11.如申請專利範圍第9項所述之使用可程式化之記憶體控制器之記憶體存取結構，其中該記憶體為一同步動態隨機存取記憶體(Synchronous Dynamic Random Access Memory, SDRAM)。

12.如申請專利範圍第9項所述之使用可程式化之記憶體控制器之記憶體存取結構，其中該記憶體為一雙倍資料速率(Double Data Rate)之同步動態隨機存取記憶體。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

13.如申請專利範圍第9項所述之使用可程式化之記憶體控制器之記憶體存取結構，其中根據該些命令信號之一傳送距離來決定該維持時間。

14.如申請專利範圍第13項所述之使用可程式化之記憶體控制器之記憶體存取結構，其中該傳送距離為該控制晶片組與該記憶體插槽之腳位間的佈線距離(Trace length)。

15.如申請專利範圍第14項所述之使用可程式化之記憶體控制器之記憶體存取結構，其中該維持時間可為第一週期時間或第二週期時間，其中該第一週期時間係維持該命令信號一個時脈週期，且該第二週期時間係維持該命令信號二個時脈週期。

16.如申請專利範圍第14項所述之使用可程式化之記憶體控制器之記憶體存取結構，其中該傳送距離低於一預定距離時，使用該第一週期時間作為該維持時間，該傳送距離高於該預定距離時，使用該第二週期時間作為該維持時間。

17.如申請專利範圍第15項所述之使用可程式化之記憶體控制器之記憶體存取結構，其中該傳送距離低於一預定距離時，使用該第一週期時間作為該維持時間，該傳送距離高於該預定距離時，使用該第二週期時間作為該維持時間。

18.如申請專利範圍第7項所述之使用可程式化之記憶體控制器之記憶體存取結構，其中該預定距離係

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

2500mils。

19.一種主機板，可依據記憶體與記憶體控制器的距離以決定所傳送命令信號之維持時間，該主機板包括：

一記憶體插槽，該記憶體插槽接收該命令信號以輸出至插入至該記憶體插槽之記憶體，其中該些命令信號係因應於一控制信號以決定該維持時間，且該維持時間係隨該記憶體控制器與該記憶體插槽之距離相關；

一記憶體控制器，包含：

一記憶體主控裝置，用以當該可程式化之記憶體控制器對一記憶體之資料作存取時，由該記憶體主控裝置送出一請求信號；

一命令解碼裝置，用以解碼該請求信號以產生複數個命令信號；

一週期設定裝置，用以解碼一控制信號以產生一週期設定信號，其中該控制信號係用以控制該命令信號的維持時間；

一命令排序裝置，因應於該些命令信號以及該週期設定信號，用以排序且輸出該些命令信號；以及

一命令信號輸出裝置，接收該些已排序之命令信號以及該週期設定信號，用以依據該週期設定信號之指示，以在該維持時間中控制該些已排序之命令信號以輸出至該記憶體。

20.如申請專利範圍第19項所述之主機板，其中該記憶體為一同步動態隨機存取記憶體(Synchronous Dynamic

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

Random Access Memory, SDRAM)。

21.如申請專利範圍第19項所述之主機板，其中該記憶體為一雙倍資料速率(Double Data Rate, DDR)之同步動態隨機存取記憶體。

22.如申請專利範圍第19項所述之主機板，其中根據該些命令信號之一傳送距離來決定該維持時間。

23.如申請專利範圍第22項所述之主機板，其中該傳送距離為包含該記憶體控制器之控制晶片組、與該記憶體插槽腳位間之佈線距離(Trace length)。

24.如申請專利範圍第22項所述之主機板，其中該維持時間可為第一週期時間或第二週期時間，其中該第一週期時間係維持該命令信號一個時脈週期，且該第二週期時間係維持該命令信號二個時脈週期。

25.如申請專利範圍第24項所述之主機板，其中該傳送距離低於一預定距離時，使用該第一週期時間作為該維持時間，該傳送距離高於該預定距離時，使用該第二週期時間作為該維持時間。

26.如申請專利範圍第25項所述之主機板，其中該預定距離係2500mils。

27.一種可依據記憶體與記憶體控制器的距離以決定所傳送命令信號之維持時間的控制方法，包括：

產生一請求信號，其中該請求信號係對該記憶體進行資料存取時所產生；

解碼該請求信號以產生複數個命令信號，其中該命令

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

信號係送往該記憶體以執行該資料存取之操作；

解碼一控制信號以產生一週期設定信號，其中該控制信號係用以控制該命令信號的維持時間；

因應於該命令信號以及該週期設定信號，用以排序且輸出該排序之命令信號；及

依據該週期設定信號之指示，在該維持時間中控制該些已排序之命令信號輸出至該記憶體。

28.如申請專利範圍第27項所述之方法，其中該記憶體為一同步動態隨機存取記憶體(Synchronous Dynamic Random Access Memory, SDRAM)。

29.如申請專利範圍第27項所述之方法，其中該記憶體為一雙倍資料速率(Double Data Rate, DDR)之同步動態隨機存取記憶體。

30.如申請專利範圍第27項所述之方法，其中該維持時間係根據該命令信號之傳送距離來決定該維持時間。

31.如申請專利範圍第30項所述之方法，其中該傳送距離為產生該請求信號之控制晶片組、與安置該記憶體之記憶體插槽腳位間之佈線距離(Trace length)。

32.如申請專利範圍第30項所述之方法，其中該維持時間可為第一週期時間或第二週期時間，該第一週期時間係維持該命令信號一個時脈週期，且該第二週期時間係維持該命令信號二個時脈週期，其中該第一時間週期較該第二時間週期為短。

33.如申請專利範圍第32項所述之方法，其中該傳送距

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

離低於一預定距離時，使用該第一週期時間作為該維持時間，該傳送距離高於該預定距離時，使用該第二週期時間作為該維持時間。

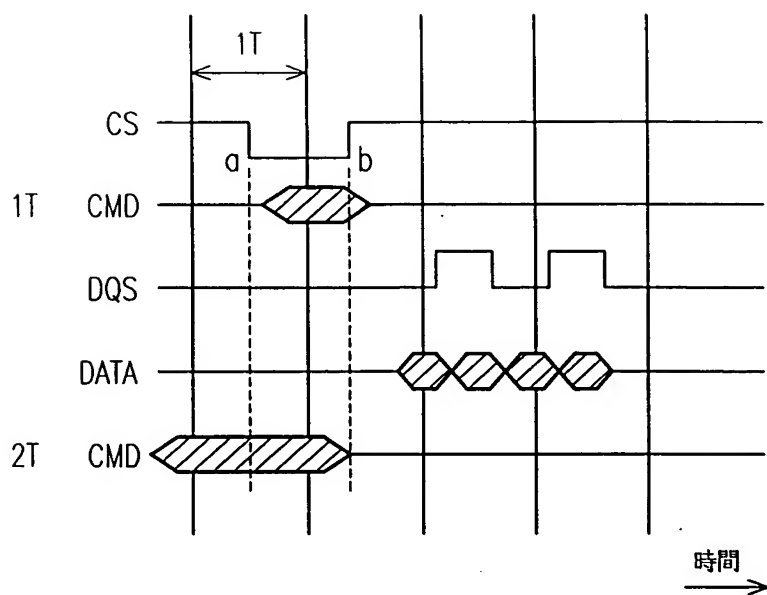
34.如申請專利範圍第31項所述之方法，其中該預定距離係2500mils。

(請先閱讀背面之注意事項再填寫本頁)

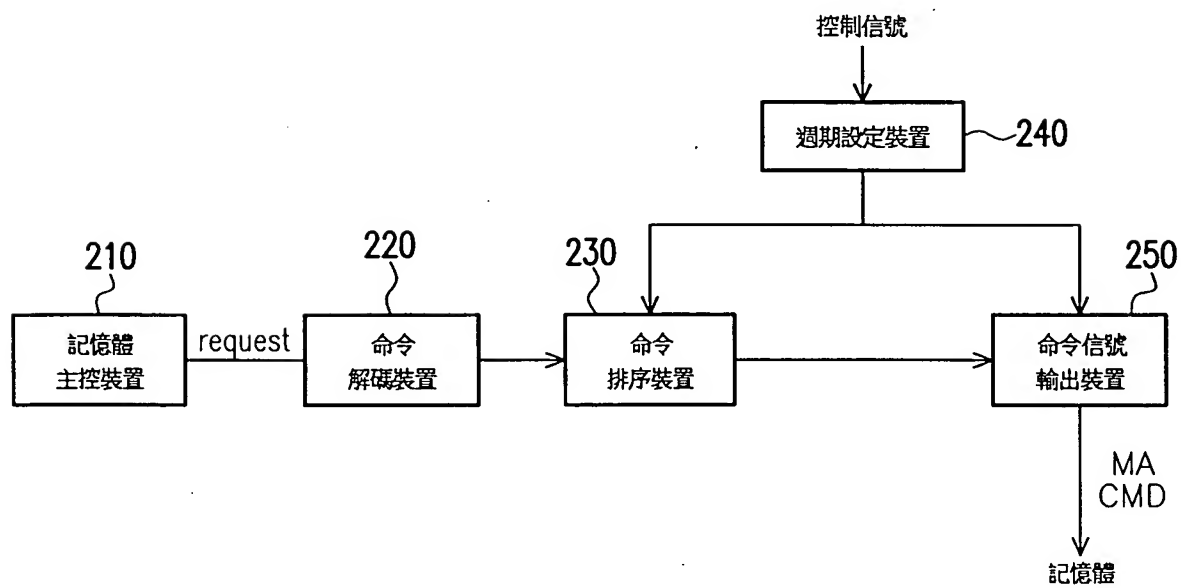
裝

訂

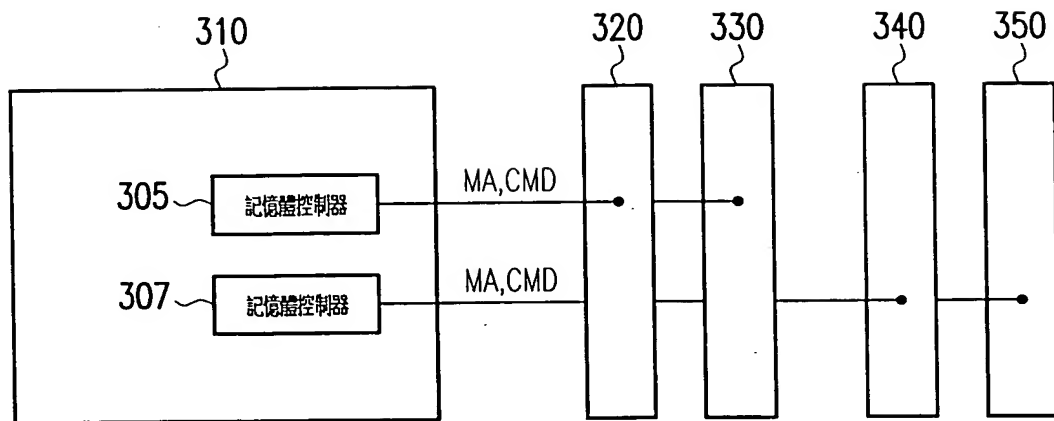
線



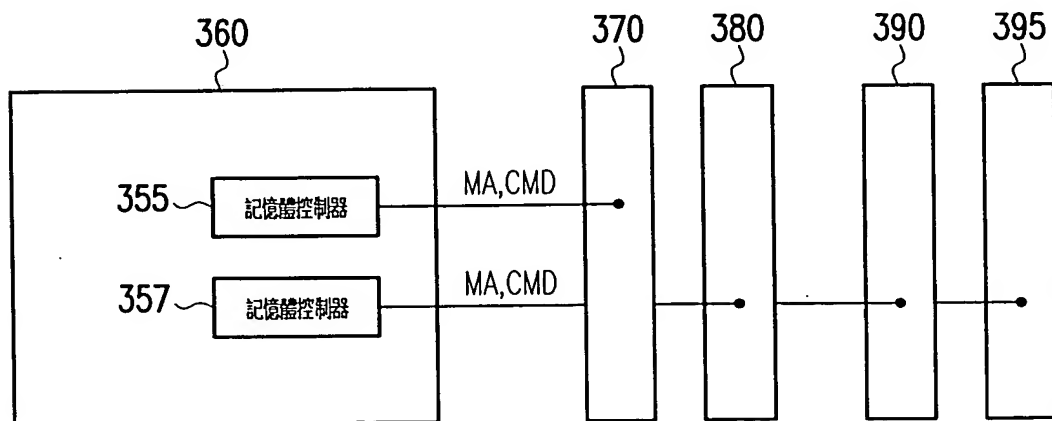
第 1 圖



第 2 圖



第 3A 圖



第 3B 圖